

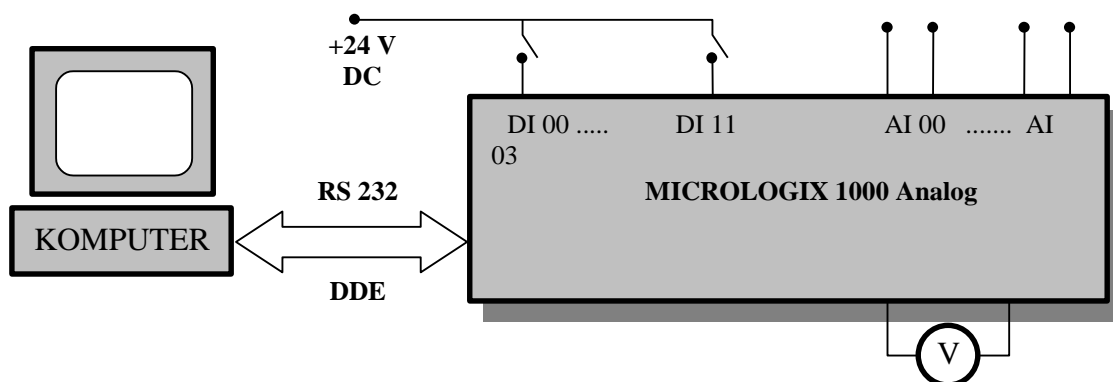
Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie KATEDRA AUTOMATYKI LABORATORIUM Aparatura Automatykacji			
Ćwiczenie 7. Programowanie sterowników PLC – język drabinkowy LD			
Wydział EAIiE kierunek AiR rok II		Zespół 2	Poniedziałek 14:00
L.P.	Imię i nazwisko	Ocena	Data zaliczenia
1.	Łukasz Bondyra		
2.	Paweł Górka		
3.	Jakub Tutro		
4.	Krzysztof Wesołowski		
Data wykonania ćwiczenia		6.04.2009	Podpis

Cel ćwiczenia

Celem ćwiczenia jest zapoznanie się z zasadami programowania sterowników PLC z wykorzystaniem języka schematów drabinkowych LD (ladder diagram), będącego jednym ze standardowych narzędzi programowania sterowników PLC.

Opis stanowiska doświadczalnego

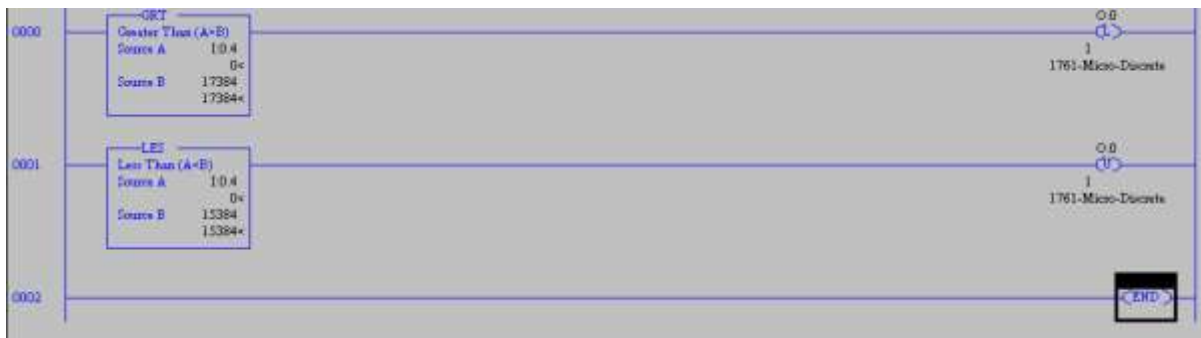
Uproszczony schemat stanowiska doświadczalnego przedstawia poniższy schemat:



Za pomocą komputera programujemy sterownik, tak aby zrealizować zadany algorytm. W celu sprawdzenia jego działania możemy zmieniać wartości wejść dyskretnych oraz stan wejścia analogowego. Z kolei sygnały wyjściowe zaobserwujemy głównie na komputerze wymieniającym dane z sterownikiem (praca w trybie online).

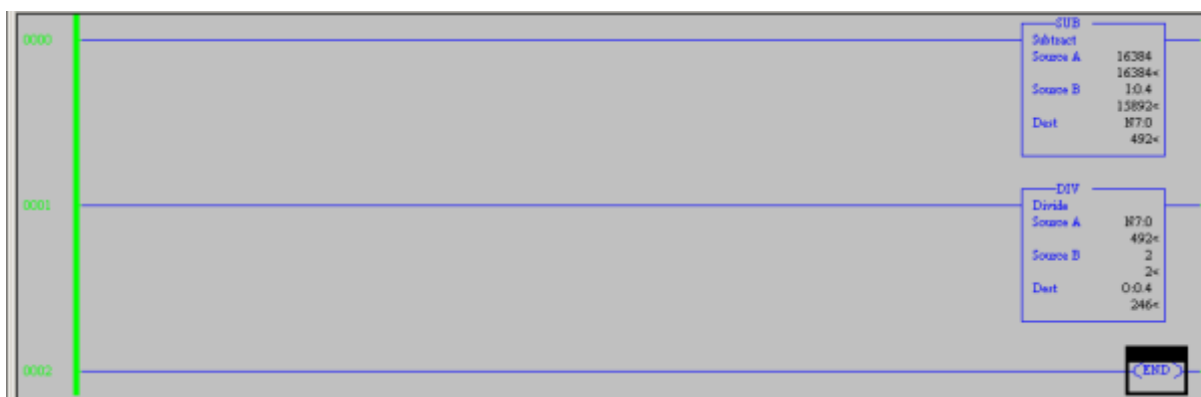
Regulacja dwupołożeniowa

Poniżej zamieszczam schemat zrealizowanej regulacji dwupołożeniowej.



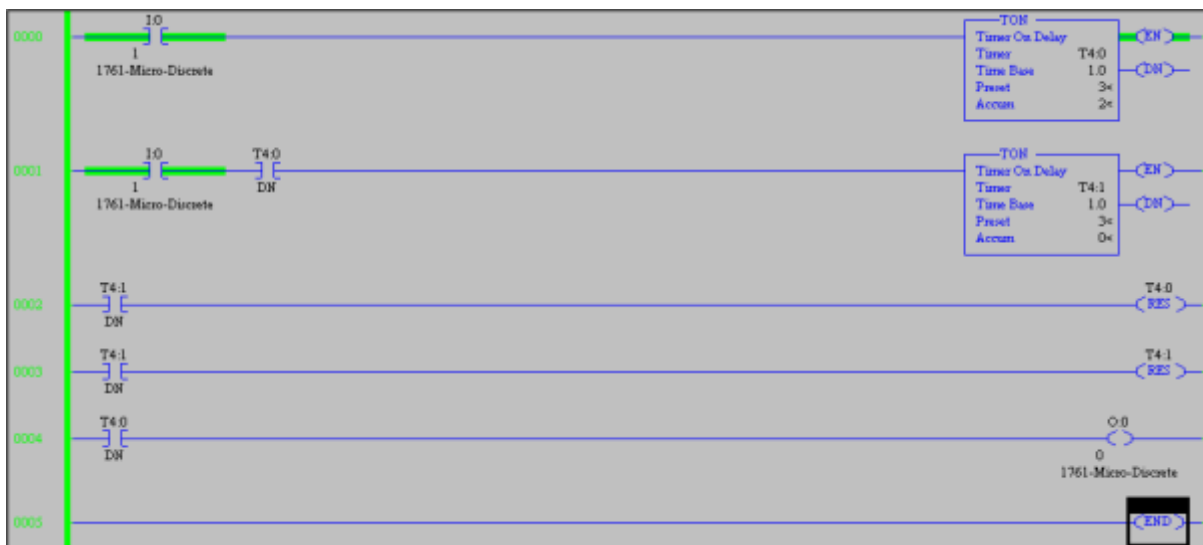
Zastosowanie cewek Latch/Unlatch pozwoliło prosto zbudować układ regulatora dwustawnego z histerezą. Za wartość zadaną w powyższym przypadku przyjęliśmy sygnał równy połowie maksymalnego czyli 16384, zaś szerokość martwej strefy 2000.

Regulacja proporcjonalna



Kolejnym prostym do zaimplementowania sposobem jest regulacja proporcjonalna. Pierwszy rung odpowiada za obliczenie wartości uchybu, przy wpisanej na sztywno wartości zadanej równej połowie zakresu, drugi mnożeniu razy 0.5 (wzmocnienie). Jedynym problemem który można napotkać przy takiej realizacji jest komplikacja realizacji mnożenia przy niecałkowitym wzmocnieniu.

Cykliczna zmiana stanu wyjścia



Ostatnie zadanie które przed nami postawiono to cykliczne włączanie i wyłączanie wyjścia dyskretnego. Zdecydowaliśmy się na prostą realizację: dwa timery, jeden po 3 sekundach działania ustawia bit DN na 1, co skutkuje zapaleniem wyjścia (w rungu 4). Kolejny timer włącza się dopiero wtedy mierząc kolejne 3 sekundy, po czym resetuje pierwszy oraz siebie samego. Powoduje to rozpoczęcie przez układ pracy od początku.

Wnioski

W trakcie ćwiczenia nauczyliśmy się podstaw obsługi i programowania sterownika PLC Allan-Bradley. Pomimo zgodności podstawowych idei z innymi sterownikami i normą, zwróciliśmy uwagę na wiele różnic sprawiających, że sterownik ten wymaga dokładniejszego zapoznania się z dokumentacją przed rozpoczęciem pracy.

Zrealizowane algorytmy były proste w działaniu a więc ich implementacja nie przyniosła trudności. Wykorzystanie języka LD sprawia że problemy natury logicznej są proste i intuicyjne w implementacji. Zwróciliśmy jednak uwagę, że korzystanie z obszerniejszych funkcji często się tylko komplikuje przez strukturę diagramu drabinkowego. W diagramach tych sygnał prądowy często staje się tylko sygnałem sterującym, natomiast operacja są dokonywane na blokach pamięci/plikach.